

# Moderné a praktické prístupy realizácie PID regulátorov (7)

Cieľom tejto časti príspevku je sumarizácia vybraných metód a praktických realizácií v súčasnosti najviac používaných PID algoritmov regulácie ako aj návrh jednoduchého praktického a rýchleho postupu pre identifikáciu modelu procesu a výpočet koeficientov PID regulátora. V predchádzajúcich častiach seriálu boli analyzované vybrané štruktúry riadenia a výpočet optimálnych koeficientov rôznych typov PID regulátorov ktoré využívajú priamo alebo nepriamo matematické modely riadených procesov získaných identifikačnými algoritmami na základe nameraných prechodových (resp. impulzových charakteristík), alebo na základe priamo meraných I/O údajov meraných v určitých diskretných časoch. V prvom prípade výsledkom týchto dvoch identifikačných postupov sú matematické modely vyjadrené prenosovými funkciami v spojitaj s-oblasti s dopravným alebo bez dopravného oneskorenia. V druhom prípade sú to auto regresné modely (diskrétny modely typu ARX), ktoré transformujeme do spojitaj oblasti pre výpočet optimálnych koeficientov PID regulátora.

## 7.1 Štruktúry regulácie

V súčasnosti sú štruktúry riadenia s využitím rôznych foriem a opisov PID regulátorov stále najviac využívanými technikami pre všetky oblasti riadenia v priemyselnej oblasti. Predstavujú až 89-90 % zo všetkých realizácií riadiacich algoritmov. V priebehu posledných 60 rokov prešli štruktúry riadenia s PID regulátormi neustálym vývojom a to predovšetkým od spojitých realizácií PID regulátorov až po moderné diskretné štruktúry riadenia realizované ako číslicové algoritmy regulácie implementované v priemyselných riadiacich systémoch buď v strojovom kóde, špeciálnych technologických jazykoch, alebo vo vyšších programovacích jazykoch (C, C++, Visual C. a pod.). Najväčší pokrok v realizácií riadiacich systémov priniesol rozvoj mikroprocesorovej a snímačovej techniky. Trendom sú však vnorené (embedded) riadiace systémy realizované mikroprocesorovou technikou, ktoré vhodným sieťovým prepojením dokážu vytvárať distribuované sieťové štruktúry. Hardvérové realizácie algoritmov riadenia realizované VHDL logikou a na báze FPGA obvodov umožnili realizovať aj zložité inteligentné algoritmy riadenia využívajúce fuzzy logiku, umelé neurónové siete a genetické algoritmy.

Realizácia moderných štruktúr riadenia je odvodená od základnej spätnoväzbovej štruktúry. V súčasnosti najviac používané štruktúry riadenia sú:

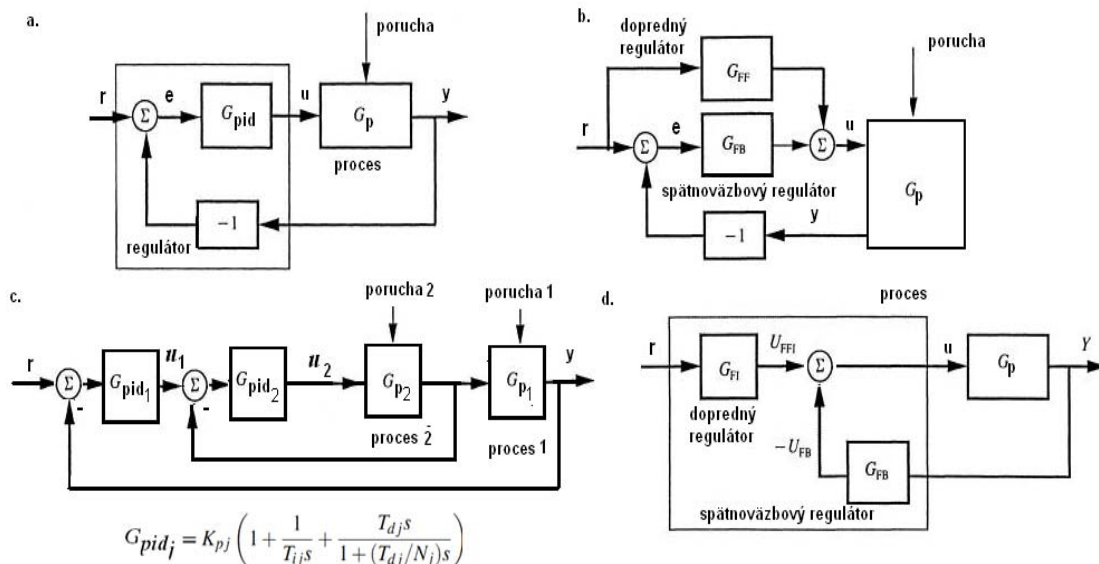
### a. spätnoväzbové štruktúry s PID regulátorom

- a1. spätnoväzbové štruktúry s kompenzáciou dopravného oneskorenia
- a2. spätnoväzbové štruktúry s ohraničením riadiaceho zásahu
- a3. spätnoväzbové IMC štruktúry

### b. kombinované spätnoväzbové a priamoväzbové (dopredné) štruktúry

### c. kaskádne štruktúry

### d. kombinované štruktúry riadenia



Obr. 7.1 Najbežnejšie štruktúry riadenia s PID algoritmi (a.spätnoväzbová, (b.,d.) dopredná-priamoväzbová, c.kaskádna)

Užívateľia z praxe vyžadujú rýchle a jednoduché metódy výpočtu koeficientov regulátorov. Pre praktické realizácie PID algoritmov môžeme z meraných prechodových charakteristík priamo vypočítať koeficienty všetkých foriem PID štruktúr a to tak pre kmitavé, „tvrdé“ aperiodické (bez prekmitu) ako aj pre prechodové charakteristiky procesov, ktoré obsahujú integračné členy. Najbežnejšie typy matematických modelov získaných z prechodových charakteristík meraných procesov a využívané pri rôznych štruktúrach riadenia a pri aplikáciách PID algoritmov :

**1. rádu** 
$$G_{p1}(s) = \frac{K_{p1}e^{-D_1s}}{T_1s + 1}, \quad G_{p1}(s) = \frac{K_{p1}e^{-D_1s}}{s}$$

**2. rádu** 
$$G_{p2}(s) = \frac{K_{p2}e^{-D_2s}}{T_2^2s^2 + 2bT_2s + 1}, \quad G_{p2}(s) = \frac{K_{p2}e^{-D_2s}}{(T_{p1}s + 1)(T_{p2} + 1)}$$

**2.rádu** (s násobným koreňom v menovateli) 
$$G_{p1}(s) = \frac{K_{p1}e^{-D_1s}}{(T_1s + 1)^n}, \quad n = 2, 3, \dots$$

**2.rádu** (s integračným členom prvého resp. druhého rádu)

$$G_{p1}(s) = \frac{K_{p1}e^{-D_1s}}{s(T_{p1}s + 1)}, \quad G_{p1}(s) = \frac{K_{p1}e^{-D_1s}}{s^2(T_{p1}s + 1)}$$

(s integračným členom prvého resp. druhého rádu

**2. rádu** (s nestabilnou nulou v čitateli)  $G_{p_2}(s) = \frac{K_{p_2}(b_0 - b_1s)e^{-D_2s}}{T_2^2s^2 + 2bT_2s + 1}$

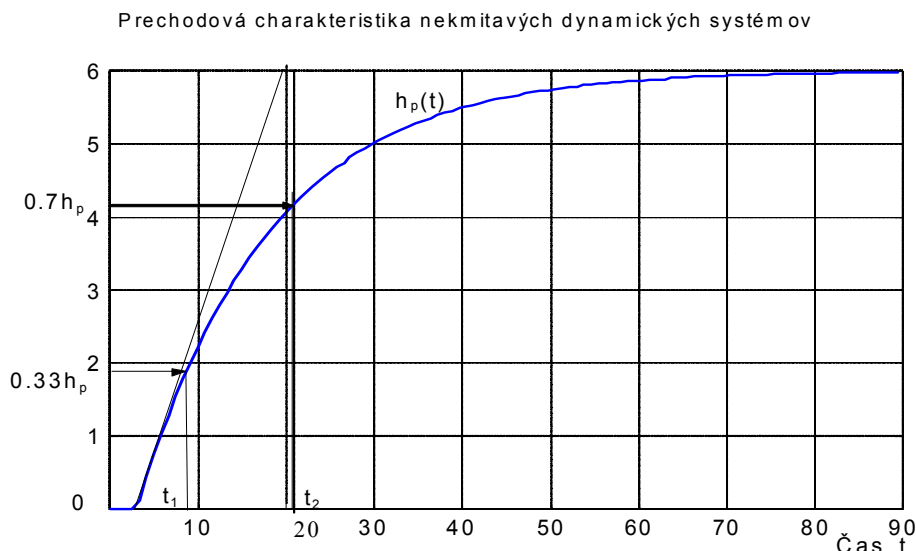
Pre výpočet optimálnych koeficientov regulátorov je potrebné modely, ktoré získame identifikáciou zo I/O meraní typu ARX prepočítať do spojitej oblasti a z nej navrhnuť výpočet koeficientov PID regulátorov podľa metód uvedených v predchádzajúcich častiach seriálu.. Obvykle matematické modely získané zo I/O meraní sú vysokého rádu a pre praktické úlohy ich musíme znovu redukovať na model tretieho a nižších rádu. Pre výpočet koeficientov PID regulátora nám teda postačuje z prechodovej charakteristiky určiť zosilnenie, dopravné oneskorenie a časovú konštantu. Oproti konvenčným spôsobom identifikácie pri ktorých sa model určuje z jedného bodu (dotyčnica v inflexnom bode), presnejšia identifikácia u aperiodických priebehov prechodových charakteristík je možná z dvoch bodov prechodovej charakteristiky lepšie charakterizujúcich dynamické vlastnosti riadeného procesu. Na nasledujúcich obrázkoch sú zobrazené dva typy prechodových charakteristík, z ktorých môžeme z hodnôt prechodovej charakteristiky v dvoch bodoch (hodnota prechodovej charakteristiky v bodoch ( z ustálenej hodnoty) a to v  $0.77 K_p$  a  $0.33 K_p$  určiť časy v ktorých prechodová charakteristika (obr.7.2) dosahuje uvedené hodnoty). Z odpovedajúcich časov  $t_1=t_{0.33}$  a  $t_2=t_{0.7}$  možno aproximatívne určiť hodnoty časovej konštanty a dopravného oneskorenia nasledovne:

a. Pre proces prvého rádu s dopravným oneskorením:

$$T_p = 1.245(t_{0.7} - t_{0.33}), \quad D = 1.498t_{0.33} - 0.498t_{0.7}$$

b. Pre proces druhého rádu s dopravným oneskorením:

$$K_p = h_{ust}(ust.hod.), \quad T_p = 0.794(t_{0.7} - t_{0.33}), \quad D = 1.937t_{0.33} - 0.93t_{0.7}$$



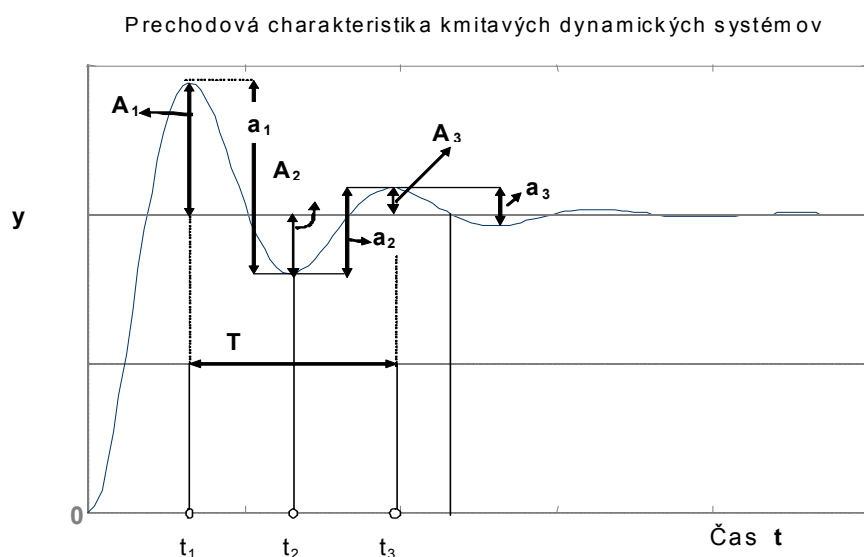
Obr. 7.2 Identifikácia koeficientov modelu pre nekmitavé procesy

Pre kmitavé stabilné procesy (obr.7.3) možno z nameraných hodnôt prechodovej charakteristiky identifikovať parametre modelu procesu (Vítečková 2004) podľa nasledujúcich vzťahov:

$$T_p = \frac{1}{\pi n} \sum_{i=1}^n (t_{i+1} - t_i) \sqrt{1 - b^2} \qquad b = - \frac{\ln \frac{a_{i+1}}{a_i}}{\sqrt{\pi^2 + \ln^2 \frac{a_{i+1}}{a_i}}}$$

$$D = \frac{1}{n} \sum_{i=1}^n t_i - \frac{n+1}{2n} (t_{n+1} - t_1)$$

kde  $n$  je počet uvažovaných bodov v ktorých má prechodová charakteristika maxima a minima.



Obr. 7.3 Identifikácia koeficientov modelu pre kmitavé procesy

Aj keď existuje veľmi veľa metód výpočtu koeficientov z nameraných prechodových charakteristík uvedieme na záver jednu efektívnu a praktickú (univerzálnu) techniku nastavovania koeficientov spojitéch a diskrétnych regulátorov rozpracovaných (Vítečková 2004), ktorá je variabilná a použiteľná pre :

$$\begin{aligned} \text{PI:} \quad T_i &= 1.25(t_{0.7} - t_{0.3}) - 0.5 T, & P &= T_i / (K_p [\alpha T + \beta (1.5 t_{0.33} - 0.5 t_{0.7})]) \\ \text{PID:} \quad T_i &= 1.6(t_{0.7} - t_{0.3}) - T, & T_d &= 0.25 T_i, & P &= T_i / (K_p [\alpha T + \beta (1.9 t_{0.33} - 0.9 t_{0.7})]) \end{aligned} \quad (7.1)$$

kde  $T$  je perióda vzorkovania (pre spojité PID regulátory je  $T=0$ ),  $\alpha$ ,  $\beta$  sú voliteľné

koeficienty zaisťujúce kvalitu regulácie (preregulovanie a dobu regulácie), vyberáme ich z tabuľky 7.1. Výpočet koeficientov je jednoduchý - dvojkrokový (prvý krok výber hodnoty preregulovania  $\eta$  (1. z riadku tab. 7.1) a k tomu odpovedajúce hodnoty koeficientov  $\alpha$  (zosilnenie ORO a  $\beta$ ). V druhom kroku počítame hodnoty koeficientov PID regulátora podľa vzťahu (7.1)

Tab. 7.1 Výpočet optimálnych koeficientov PID regulátora na základe vybraných parametrov kvality

$\eta$	0	0.05	0.1	0.15	0.20	0.25	0.30	0.35	0.40	0.45	0.5
$\alpha$	1.28	0.984	0.884	0.832	0.763	0.697	0.669	0.640	0.618	0.599	0.5
$\beta$	2	1.994	1.720	1.561	1.437	1.337	1.248	1.172	1.104	1.045	77

## 7.2. Priemyselné typy PID regulátorov a ich realizácie

V nasledujúcej časti sú uvedené základné formy a opisy PID regulátorov najviac využívaných v priemyselných aplikáciách. V súlade so štandardnými označeniami sú tu uvedené také označenia ako ich udávajú výrobcovia riadiacich systémov, jednotlivé premenné vo vzťahoch označujú:

- CO = Controller Output (u - riadiaci zásah, akčná veličina, control variable, manipulated variable),
- PV = Process Variable (y- výstupná regulovaná veličina, controlled variable, meraná veličina, measured variable),
- SP = Set Point (r - referenčný signál, reference signal),
- e = SP-PV (regulačná odchýlka)

### 1. Allen Bradley Logix5550 Independent PID

$$CO = K_p + K_i \int edt + K_D \frac{d(-PV)}{dt} \quad (7.2)$$

$K_p$ :	Proporcionálne zosilnenie	Bez rozmeru
$K_i$ :	Zosilnenie integračnej zložky	(1/sekunda)
$K_d$ :	Zosilnenie derivačnej zložky	(sekunda)

### 2. Allen Bradley Logix5550 Dependent PID

$$CO = K_c \left( e + \frac{1}{T_i} \int edt + T_D \frac{d(-PV)}{dt} \right) \quad (7.3)$$

$K_c$ :	Proporcionálne zosilnenie	Bez rozmeru
$T_i$ :	Integračná časová konštanta	(min/odozvu)
$T_D$ :	Derivačná časová konštanta	(min)

### 3. Allen Bradley PLC5 Independent PID – s použitím celočíselných blokov

$$CO = K_p e + K_i \int edt + K_d \frac{d(-PV)}{dt} \quad (7.3)$$

$K_p$ : Proporcionálne zosilnenie      Bez rozmeru  
 $K_i$ : Zosilnenie integračnej zložky      (0.001/ sekunda)  
 $K_D$ : Zosilnenie derivačnej zložky      (sekunda)

### 4. Allen Bradley PLC5 Independent PID - s použitím PD blokov

$$CO = K_p e + K_i \int edt + K_d \frac{d(-PV)}{dt} \quad (7.4)$$

$K_p$ : Proporcionálne zosilnenie      Bez rozmeru  
 $K_i$ : Zosilnenie integračnej zložky      (1/ sekunda)  
 $K_D$ : Zosilnenie derivačnej zložky      (sekunda)

### 5. Allen Bradley PLC5 ISA PID - s použitím celočíselných blokov

$$CO = K_c \left( e + \frac{1}{T_i} \int edt + T_d \frac{d(-PV)}{dt} \right) \quad (7.5)$$

$K_c$ : Proporcionálne zosilnenie      (0.01)  
 $T_i$ : Integračná časová konštanta      (0.01min/odozvu)  
 $T_D$ : Derivačná časová konštanta      (0.01min)

### 6. Allen Bradley PLC5 ISA PID - s použitím PD blokov

$$CO = K_c \left( e + \frac{1}{T_i} \int edt + T_d \frac{d(-PV)}{dt} \right) \quad (7.6)$$

$K_c$ : Proporcionálne zosilnenie      Bez rozmeru  
 $T_i$ : Integračná časová konštanta      (min/odozvu)  
 $T_d$ : Derivačná časová konštanta      (min)

### 7. Allen Bradley SLC5/02, SLC5/03 a SLC5/04 ISA PID

$$CO = K_c \left( e + \frac{1}{T_i} \int edt + T_d \frac{d(-PV)}{dt} \right) \quad (7.7)$$

$K_c$ : Proporcionálne zosilnenie      (0.1)  
 $T_i$ : Integračná časová konštanta      (0.1min/ odozvu)  
 $T_d$ : Derivačná časová konštanta      (0.01min)

## 8. Bailey Function Code FC19 s K=1

$$CO = K \left( K_p e + \frac{K_i}{60} \int edt + 60K_d \frac{de}{dt} \right) \quad (7.8)$$

K:	Násobiteľ zosilnenia	Bez jednotky
K <sub>p</sub> :	Proporcionálne zosilnenie	Bez jednotky
K <sub>i</sub> :	Zosilnenie integračnej zložky	1/min
K <sub>d</sub> :	Zosilnenie derivačnej zložky	Min

## 9. Bailey Function Code FC156 Independent Form s K=1

$$CO = K \left( K_p e + \frac{K_i}{60} \int edt + 60K_d \frac{de}{dt} \right) \quad (7.9)$$

K:	Násobiteľ zosilnenia	Bez rozmeru
K <sub>p</sub> :	Proporcionálne zosilnenie	Bez jednotky
K <sub>i</sub> :	Zosilnenie integračnej zložky	Resety/min
K <sub>d</sub> :	Zosilnenie derivačnej zložky	Min

## 10. Concept PID1 - PID Regulátor

$$CO = Gain \left( e + \frac{1}{T_I} \int edt + T_D \frac{de}{dt} \right) \quad (7.10)$$

Gain:	Proporcionálne zosilnenie	Bez rozmeru
T <sub>I</sub> :	Integračná časová konštanta	(millisekunda)
T <sub>D</sub> :	Derivačná časová konštanta	(millisekunda)

## 11. Koncept PID1P - PID Regulátor s paralelnou štruktúrou

$$CO = K_p e + K_I \int edt + K_D \frac{de}{dt} \quad (7.11)$$

K <sub>p</sub> :	Proporcionálne zosilnenie	Bez jednotky
K <sub>i</sub> :	Zosilnenie integračnej zložky	(1/millisekunda)
K <sub>D</sub> :	Zosilnenie derivačnej zložky	(millisekunda)

## 12. Fischer & Porter DCU 3200 CON Ideálny s KP = 1

$$CO = K_C \left( K_p e + \frac{1}{T_R} \int edt + T_D \frac{de}{dt} \right) \quad (7.12)$$

Ak K<sub>p</sub> = 1, potom rovnica 7.12 je v tvare:

$$CO = K_C \left( e + \frac{1}{T_R} \int edt + T_D \frac{de}{dt} \right) \quad (7.13)$$

$K_C$ : Konštanta zosilnenia                      Bez jednotky  
 $T_R$ : Integrovaná časová konštanta              (min/odozva)  
 $T_D$ : Derivačná časová konštanta              (min)

### 13. Fischer & Porter DCU 3200 CON (paralelná vetva $K_P$ s $K_C=1$ )

$$CO = K_C \left( K_P e + \frac{1}{T_R} \int edt + T_D \frac{de}{dt} \right) \quad (7.14)$$

Ak  $K_C=1$ , potom vzťah 4.20 je v tvare:

$$CO = K_P e + \frac{1}{T_R} \int edt + T_D \frac{de}{dt} \quad (7.15)$$

$K_P$ : Konštanta zosilnenia                      Bez rozmeru  
 $T_R$ : Integrovaná časová konštanta              (min/odozva)  
 $T_D$ : Derivačná časová konštanta              (min)

### 14. GE Fanuc Series 90-30 and 90-70 Independent Form PID

$$CO = K_P e + K_I \int edt + K_D \frac{de}{dt} \quad (7.16)$$

$K_P$ : Proporcionálne zosilnenie                      Bez rozmeru  
 $K_I$ : Zosilnenie integračnej zložky              (0.001odozva /sek)  
 $K_D$ : Zosilnenie derivačnej zložky              (0.01 sekunda)

### 15. Hartmann & Braun Freelance 2000 PID

$$CO = C_P \left( e + \frac{1}{T_R} \int edt + T_D \frac{de}{dt} \right) \quad (7.17)$$

$C_P$ : Proporcionálna korekčná hodnota              Bez rozmeru  
 $T_R$ : Integrovaná časová konštanta              (millisekunda)  
 $T_D$ : Derivačná časová konštanta              (millisekunda)

### 16. Honeywell TDC 3000 APM Non - Interactive PID

$$CO = K \left( e + \frac{1}{T_1} \int edt + T_2 \frac{de}{dt} \right) \quad (7.18)$$



K:	Zosilnenie	Bez rozmeru
T <sub>1</sub> :	Integračná časová konštanta	(min/odozva)
T <sub>2</sub> :	Derivačná časová konštanta	(min)

### 17 Modicon 984 PLC PID2 Equation

$$CO = \frac{100}{PB} \left( e + K_2 \int edt + K_3 \frac{de}{dt} \right) \quad (7.19)$$

PB:	Pásmo proporcionality	Bez rozmeru
K <sub>2</sub> :	Časová konštanta integračného typu	(0.01min/odozva)
K <sub>3</sub> :	Časová konštanta derivačného typu	(0.01min)

### 18. Siemens S7 PB41 CONT\_C PID

$$CO = Gain * e + \frac{1}{T_i} \int edt + T_D \frac{de}{dt} \quad (7.20)$$

Gain:	Proporcionálne zosilnenie	Bez rozmeru
TI:	Integračná časová konštanta	(sekunda)
TD:	Derivačná časová konštanta	(sekunda)

### 19. Yokogawa Field Control Station (FCS) PID

$$CO = \frac{100}{PB} \left( e + \frac{1}{T_i} \int edt + T_d \frac{de}{dt} \right) \quad (7.21)$$

PB:	Proporcionálne zosilnenie	Bez rozmeru
T <sub>i</sub> :	Integračná časová konštanta	(sekunda)
T <sub>d</sub> :	Derivačná časová konštanta	(sekunda)

## 7.3 . Realizácia PID algoritmov vnorených mikropočítačových systémov pomocou FPGA štruktúr

Výhody ktoré FPGA štruktúry riadenia oproti iným existujúcim spôsobom riadenia poskytujú sú jednoznačné. Väčšina výpočtov pre operácie riadenia pozostáva iba z dvoch operácií: operácie násobenia a operácie súčtu, spolu sa tieto operácie nazývajú Multiply Accumulate (MAC) operácie. Výpočtová záťaž je maximálna, keď tieto operácie sú vykonávané v každom diskretnom kroku pre ľubovoľný typ číslicového regulátora. Teda rýchlosť (frekvencia) vzorkovania a rýchlosť (výpočtu) je limitovaná rýchlosťou, ktorou zariadenie vykonáva tieto operácie. Výhody a korektné porovnania FPGA a iných univerzálnych procesorov je možno vidieť na implementácii digitálneho filtra. Je známe, že mnohé navrhnuté regulátory sa v konečnom dôsledku implementujú ako digitálne filtre. Preto na to, aby sme ilustrovali výkonnosť FPGA, zameriame sa na špecifickú implementáciu filtra na typický DSP procesor a na FPGA. FPGA - najdôležitejšia vlastnosť – paralelizmus. FPGA obsahuje veľké množstvo hradíel (gates) a tranzistorov, takže môžeme filter implementovať paralelným spôsobom. Implementácia pozostáva

z 256 registrov a 256 násobiacich jednotiek (násobičiek) spolu s pridaním konečného čiastkového súčinu. Takže to, na čo by v DSP bolo potrebných 256 hodinových cyklov, môže byť na FPGA realizované v jedinom hodinovom cykle. Z toho vyplýva obrovské zvýšenie latencie každej inštrukcie.

Rýchlosť riadiaceho systému ovplyvňuje jeho kvalitu, výkonnosť, stabilitu, robustnosť a schopnosť potlačenia poruchy. Rýchlejšie riadiace systémy sú typicky aj stabilnejšie, jednoduchšie sa ladia a menej podliehajú vplyvom meniacich sa podmienok a porúch. Na zabezpečenie stabilného a robustného riadenia musí byť riadiaci systém schopný merať procesnú veličinu a nastaviť príkaz pre aktuátor výstupu počas fixného časového intervalu. Výpočtová výkonnosť FPGA je taká rýchla, že rýchlosť riadiacej slučky je limitovaná iba senzormi, aktuátormi a V/V modulmi, čo je v silnom kontraste s tradičnými riadiacimi systémami, u ktorých je typickým limitujúcim faktorom rýchlosť spracovania.

Jedným z najdôležitejších parametrov merania výkonnosti digitálnych riadiacich systémov je čas vykonávania cyklu slučky. Je to čas potrebný na vykonanie jedného cyklu riadiacej slučky a odpovedá času, ktorý uplynie od okamihu vzorkovania výstupu, výpočtu výstupu regulátora podľa algoritmu riadenia až po vyslanie riadiaceho zásahu na aktuátor. Vďaka inherentnému paralelizmu FPGA je možné dosiahnuť veľmi malé časy cyklu slučky.

Ďalším bežným ukazovateľom výkonnosti riadiaceho systému a robustnosti je zmena vykonávania času slučky (jitter). Je to miera zmien vlastného času cyklu slučky vzhľadom na želaný čas. V multifunkčných operačných systémoch ako napr. Windows, je jitter neobmedzený, preto nemôže byť zaručená stabilita uzavretej slučky riadiaceho systému. Riadiace systémy na báze procesora s RT operačnými systémami sú bežne schopné zaručiť jitter riadiacej slučky menší než 100 mikrosekúnd. V systémoch na báze FPGA nepotrebuje riadiaca slučka zdieľať HW zdroje s inými úlohami a riadiace slučky tak môžu byť presne časované pomocou FPGA hodín. Jitter pre riadiace slučky na báze FPGA závisí od presnosti zdroja FPGA hodín. rádovo sa pohybuje v pikosekundách.

FPGA môže byť efektívne použité ako prototypové zariadenie na jemné ladenie riadiacich algoritmov a ich správny beh. Na uľahčenie návrhu dnes slúži cca 12 návrhových nástrojov pre FPGA umožňujúca vybudovať prototyp riadiaceho algoritmu, ktorý chceme implementovať, rozumieť mu a zjemniť napr. jeho časovanie a integritu signálu. Regulátor môže byť navrhnutý pomocou návrhových balíkov (Matlab) a používať VHDL alebo Verilog opisy takto vytvoreného regulátora, aby mohol byť realizovateľný na FPGA prototypovom paneli. Navyše zohráva FPGA dôležitú úlohu pri prototypovaní regulátora dokonca aj ak posledným cieľom je vytvorenie regulátora Application Specific Integrated Circuit (ASIC) pre aplikáciu. Ďalšou prednosťou FPGA je aj skutočnosť, že čas cyklu návrhu pre regulátor je v FPGA menší než ASIC.

V niektorých prípadoch je ekonomickejšie, ak je regulátor implementovaný radšej na FPGA než ASIC. FPGA má taktiež menšiu spotrebu energie než mikroprocesory na báze ASIC regulátorov. Návrh FPGA pozostáva z týchto krokov: tvorba, simulácia, verifikácia, syntéza, umiestnenie a routing návrhu. Na tieto účely je k dispozícii množstvo počítačových nástrojov, čo je ďalší argument v prospech FPGA. Takže jednoducho prichádzame k zdôvodneniu použitia FPGA v aplikáciách riadenia. Realizáciu PID regulátora na FPGA obvodoch je možné demonštrovať na nasledujúcom ideálnom opise regulátore

$$u(t) = k_p \left[ e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_d \frac{de(t)}{dt} \right] \quad (7.22)$$

Diskrétna pozičná forma PID regulátora je

$$u(n) = k_p e(n) + k_i \sum_{j=0}^{n-1} e(j) + k_d (e(n) - e(n-1)) \quad (7.23)$$

Kde  $k_i = k_p T/T_i$  je koeficient zosilnenia v integračnej zložke a  $k_d = k_p T_d/T$  je koeficient zosilnenia v derivačnej zložke ( $T$  je perióda vzorkovania)

Pre diskrétny krok v  $(n-1)$  kroku je riadiaci zásah určený vzťahom

$$u(n-1) = k_p e(n-1) + k_i \sum_{j=0}^{n-1} e(j) + k_d (e(n-1) - e(n-2)) \quad (7.24)$$

Odčítaním (7.23) a (7.24) dostaneme rekurentnú formu riadiaceho zásahu

$$\begin{aligned} \Delta u(n) &= u(n) - u(n-1) \\ &= k_o e(n-1) + k_1 e(n-2) + k_2 e(n-3) \end{aligned}$$

kde

$$\begin{aligned} k_o &= k_p + k_i + k_d \\ k_1 &= -k_p - 2k_d \\ k_2 &= k_d \end{aligned}$$

$$\begin{aligned} u(n) &= u(n-1) + \Delta u(n) \\ &= u(n-1) + k_o e(n) + k_1 e(n-1) + k_2 e(n-2) \end{aligned} \quad (7.25)$$

Ako sa to dá realizovať na FPGA obvode ?

V softvérovej implementácii sa použitím rovnice (7.25) vyhneme akumulácii všetkých minulých chýb a umožníme hladké prepínanie z manuálneho do automatického režimu činnosti. Pôvodne sa používala jedнокanálová implementácia pre FPGA avšak pre realizáciu je potrebné rovnicu pre riadiaci zásah dekomponovať na systém rovníc (kde  $p$  - je výstupná veličina a  $p_d$  je referenčná premenná):

$$\begin{aligned} e(n) &= p + (-p_d) \\ p_o &= k_o * e(n) \\ p_1 &= k_1 * e(n-1) \\ p_2 &= k_2 * e(n-2) \\ s1 &= p_o + p_1 \\ s2 &= p_2 + u(n-1) \\ u(n) &= s1 + s2 \end{aligned} \quad (7.26)$$

Uvedené rovnice je možno realizovať tak v sériovej ako aj paralelnej forme. Pri paralelnom návrhu má každá základná operácia vlastnú aritmetickú jednotku – buď sčítačku alebo násobičku. Pri sériovom návrhu, ktorý pozostáva najmä zo sekvenčnej logiky, zdieľajú všetky operácie len jeden sčítací blok a jednu násobičku. Princiálna schéma paralelnej realizácie diskretného PID algoritmu je na obr. 7.4

